

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-184973  
(P2002-184973A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データ*(参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 C 5 F 0 4 0
21/8234		27/08	1 0 2 C 5 F 0 4 8
27/088			

審査請求 未請求 請求項の数20 O L (全 15 頁)

(21) 出願番号 特願2000-375610(P2000-375610)  
(22) 出願日 平成12年12月11日 (2000.12.11)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 由上 二郎  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72) 発明者 横山 夏樹  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(74) 代理人 100068504  
弁理士 小川 勝男 (外2名)

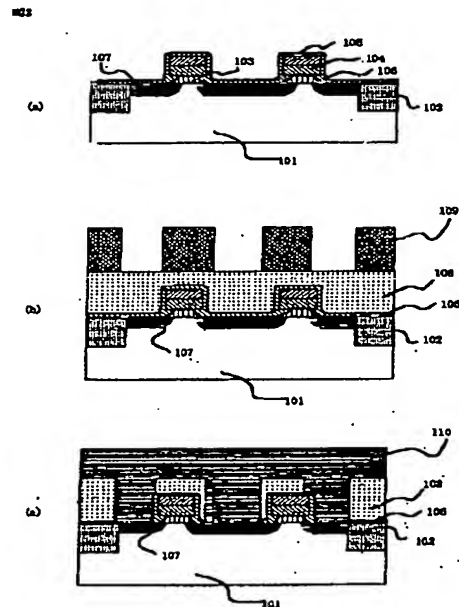
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】シリコン酸化物より比誘電率の高い絶縁膜をゲート絶縁膜とし、高速で作動し、短チャネル特性と駆動電流に優れ、金属元素のシリコン基板中への導入の少ない半導体装置を提供すること。

【解決手段】半導体基板上に、比誘電率がシリコン酸化膜より高い絶縁膜であるチタン酸化膜103をゲート絶縁膜として設け、この上にゲート電極104を配置し電界効果トランジスタとし、このチタン酸化膜103のゲート長方向の端部を、ゲート電極104のソース側、ドレイン側の端部より内側に位置させ、かつ、このチタン酸化膜103の端部を、ゲート電極104と、ソース領域及びドレイン領域107とが平面的にオーバーラップする領域に位置させるようにした半導体装置。



107…ソース・ドレイン領域  
108…層間絶縁膜  
109…ホトレジスト

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】半導体基板上にゲート絶縁膜を介してゲート電極が配置された電界効果トランジスタを有する半導体装置において、

上記ゲート絶縁膜は、比誘電率がシリコン酸化膜より高い絶縁膜であり、上記ゲート絶縁膜のゲート長方向の端部は、上記ゲート電極のソース側、ドレイン側の端部より内側に位置し、かつ、上記ゲート絶縁膜の上記端部は、上記ゲート電極と、ソース領域及びドレイン領域とが平面的にオーバーラップする領域に位置していることを特徴とする半導体装置。

【請求項2】半導体基板上にゲート絶縁膜を介してゲート電極が配置された電界効果トランジスタを有する半導体装置において、上記ゲート絶縁膜は、比誘電率がシリコン酸化膜より高い絶縁膜であり、かつ、そのゲート長方向の端部が、上記ゲート電極のソース側、ドレイン側の端部より内側に位置し、上記電界効果トランジスタのソース領域及びドレイン領域は、上記ゲート絶縁膜の下部に延伸していることを特徴とする半導体装置。

【請求項3】上記ゲート絶縁膜のゲート長方向の端部の側方、かつ、上記半導体基板上には、上記ゲート絶縁膜より比誘電率の低い絶縁膜が設けられたことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】上記ゲート絶縁膜のゲート長方向の端部は、上記ゲート電極のソース側、ドレイン側の端部より15nm～25nm内側に位置することを特徴とする請求項1から3のいずれかに記載の半導体装置。

【請求項5】上記ゲート絶縁膜は、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物、酸窒化物又はシリケート化合物であることを特徴とする請求項1から4のいずれかに記載の半導体装置。

【請求項6】上記ゲート絶縁膜は、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物からなる層と、該金属のシリケート化合物からなる層との積層構造であることを特徴とする請求項1から4のいずれかに記載の半導体装置。

【請求項7】上記ソース領域及び上記ドレイン領域は、上記絶縁膜に含まれる金属を含まないか、或いは $10^{11}$ 原子/cm<sup>2</sup>以下の濃度で含んでいることを特徴とする請求項1から6のいずれかに記載の半導体装置。

【請求項8】上記ゲート電極は、タングステン、チタン及びモリブデンからなる群から選ばれた少なくとも一種の内から選ばれた金属又はその窒化物若しくは珪化物であることを特徴とする請求項1から7のいずれかに記載の半導体装置。

【請求項9】半導体基板上に、シリコン酸化膜より比誘電率が高い絶縁膜を形成し、該絶縁膜上に導電性膜を形

成する工程、上記導電性膜を加工し、ゲート電極とする工程、上記比誘電率が高い絶縁膜を、上記ゲート電極の下部にある部分を残して除去し、かつ、残された部分の端部が、上記ゲート電極のソース領域が形成される側の端部及びドレイン領域が形成される側の端部の内側に位置するようにし、該残された部分をゲート絶縁膜とする工程、少なくとも上記ゲート絶縁膜のゲート長方向の側方、かつ、上記半導体基板上に、上記ゲート絶縁膜より比誘電率の低い第2の絶縁膜を形成する工程及び上記第2の絶縁膜を通して、イオン注入法により基板中にドーパントを注入してソース領域及びドレイン領域を形成し、かつ、該ソース領域及びドレイン領域を上記ゲート絶縁膜の下部に延伸させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項10】上記比誘電率が高い絶縁膜は、アモルファス状態で形成され、上記比誘電率が高い絶縁膜の除去は、その一部をドライエッチングにより除去した後、さらにウェットエッチングにより行なうことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】上記比誘電率が高い絶縁膜を、上記ウェットエッチングの後に結晶化することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】上記ドーパントの注入は、斜めイオン注入法により行なうことを特徴とする請求項9から11のいずれかに記載の半導体装置の製造方法。

【請求項13】上記比誘電率が高い絶縁膜の除去は、上記残された部分の端部が、上記ゲート電極のソース領域側、ドレイン領域側の端部より15nm～25nm内側に位置するように行なうことを特徴とする請求項9から12のいずれかに記載の半導体装置の製造方法。

【請求項14】上記ゲート絶縁膜は、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物、酸窒化物又はシリケート化合物であることを特徴とする請求項9から13のいずれかに記載の半導体装置の製造方法。

【請求項15】上記ゲート電極は、タングステン、チタン及びモリブデンからなる群から選ばれた少なくとも一種の内から選ばれた金属又はその窒化物若しくは珪化物であることを特徴とする請求項9から14のいずれかに記載の半導体装置の製造方法。

【請求項16】上記ゲート電極は、多結晶シリコンからなり、複数の上記ゲート電極が、上記イオン注入される物質が異なることにより、その仕事関数が互いに異なることを特徴とする請求項9から14のいずれかに記載の半導体装置の製造方法。

【請求項17】半導体基板上に、比誘電率がシリコン酸化膜より高い第1の絶縁膜を形成し、該第1の絶縁膜上に、比誘電率が該第1の絶縁膜より高い第2の絶縁膜を形成し、該第2の絶縁膜上に導電性膜を形成する工程、

上記導電性膜を加工し、ゲート電極とする工程、上記第2の絶縁膜を、上記ゲート電極の下部にある部分を残して除去し、かつ、残された部分の端部が、上記ゲート電極のソース領域が形成される側の端部及びドレイン領域が形成される側の端部の内側に位置するようにし、該残された部分をゲート絶縁膜とする工程及び上記第1の絶縁膜を通して、イオン注入法により基板中にドーパントを注入してソース領域及びドレイン領域を形成し、かつ、該ソース領域及びドレイン領域を上記ゲート絶縁膜の下部に延伸させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項18】上記ゲート絶縁膜は、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物又は酸窒化物であり、上記第2の絶縁膜は、シリケート化合物であることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】上記ゲート電極は、タングステン、チタン及びモリブデンからなる群から選ばれた少なくとも一種の内から選ばれた金属又はその窒化物若しくは珪化物であることを特徴とする請求項17又は18記載の半導体装置の製造方法。

【請求項20】上記第2の絶縁膜の除去は、上記残された部分の端部が、上記ゲート電極のソース領域側、ドレイン領域側の端部より15nm～25nm内側に位置するように行なうことを特徴とする請求項17から19のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係わり、特に従来のシリコン酸化膜に比べて高い比誘電率を持つ絶縁膜をゲート絶縁膜として用いるMISFETを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体装置における技術的発展は、高集積化、低消費電力化及び高速化の3つの観点から進められてきた。このうち、MISFETにおける低消費電力化と高速化は相反する課題であり、両立のためには従来のトレンドを上回るゲート絶縁膜の薄膜化が要求されてきている。一方、従来からゲート絶縁膜として用いられてきたシリコン酸化膜は、シリコン基板との界面特性に優れ、絶縁膜としてのバンドギャップも大きいという優位性を持つものの、比誘電率が3.8～3.9であり、現在のデバイス性能上の要求でも、その膜厚を3nm前後とする必要がある。この絶縁膜の膜厚は、必要なチャネル誘起電荷量により決定される。チャネル誘起電荷量 $Q_c$ は、ゲート絶縁膜膜厚を $t$ 、比誘電率 $\epsilon$ 、真空の誘電率 $\epsilon_0$ 、ゲート絶縁膜に印加される電圧 $V$ を用いて、 $Q_c = V \cdot \epsilon_0 \cdot \epsilon / t$  ( $q/cm^2$ )

と表される。絶縁膜の膜厚を3nm以下に薄膜化すると、ゲート電極とシリコン基板間には絶縁膜中を直接トンネルして流れる電流（直接トンネル電流）が観測され、この電流が非常に大きいことから、シリコン酸化膜を使った今以上の薄膜化は困難であると考えられる。

【0003】この問題を回避するには、比誘電率 $\epsilon$ の大きい絶縁膜を使うことが有効である。この理由は、上記の式から明らかなように、前記 $Q_c$ が $\epsilon$ に比例し、膜厚 $t$ に反比例することによる。 $\epsilon$ の大きい絶縁膜としては、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン、ストロンチウム、セレン等の酸化物が知られており、例えば、B. He等により発表された論文（インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダイジェスト、1998、1038～1040頁（1998 International Electron Device Meeting Technical Digest, p. p. 1038～1040））には、チタン酸化膜を使ったMIS（メタル・インシュレータ・シリコン）構造の特性が述べられており、シリコン酸化膜の比誘電率に換算した膜厚（EOT; Equivalent Oxide Thickness）として1.1nmの絶縁膜でも直接トンネル電流を抑制できることが述べられている。

【0004】また、特開平11-3990号公報には、ゲート絶縁膜に高誘電率材料を用いたときに、ゲート電界の増大により、電流リークが大きくなり、素子特性を劣化させ、また、ゲート電界とドレイン電界とのオーバーラップにより、短チャネル効果が生じるが、それを防ぐために、次ぎのような半導体装置が開示されている。この半導体装置は、ゲート絶縁膜がゲート電極よりもゲート長方向に短く形成され、ゲート長方向におけるゲート絶縁膜の側方、かつ、ゲート電極と半導体基板とに挟まれた領域で、かつ少なくともゲート電極と拡散層とが平面視的にオーバーラップする領域に、空間又はゲート絶縁膜よりも低い誘電率をもつ誘電体を設けたものである。

【0005】

【発明が解決しようとする課題】上記B. He等の論文に記載のように、チタン酸化膜等の比誘電率の高い絶縁膜を使えば、EOTを1nm以下に薄くしても絶縁膜の物理的な膜厚は十分厚いので直接トンネル電流を抑制することが可能である。しかしながらこの技術は、高い誘電率をもつ絶縁膜はチタンやタンタル等の金属酸化物であり、これら金属がシリコン基板中に入ることによる接合リークの増大等が起こることについて配慮していなかった。通常のMISFET形成工程においては、ゲート電極加工時にゲート絶縁膜を残し、これをイオン注入のスルー膜としてイオン注入法によりソース・ドレイン領域を形成するのが一般的であるが、このときゲート絶縁膜に金属元素を含んでいれば、ロックオン効果により金属元素がシリコン基板中に導入されることは避けられな

い。

【0006】また、B. Cheng等による（アイイーイー・トランザクション・オン・エレクトロン・デバイス、第46巻、7月、1999、1537～1544頁（IEEE Transaction on Electron Devices, volume 46 Number7, July 1999, PP. 1537～1544））の論文には、高誘電率絶縁膜をゲート絶縁膜として使う場合、ゲートエッジとソース・ドレイン間の容量（フリンジ容量）が増加することによるフリンジ効果によりデバイス性能が低下することが指摘されている。

【0007】また、上記特開平11-3990号公報に記載の従来技術は、ゲート電極と拡散層とが平面視的にオーバーラップする領域には空間又はゲート絶縁膜よりも低い誘電率をもつ誘電体が存在し、拡散層上部にはゲート絶縁膜が配置されていないので、高速化を達成することは困難であるということについては配慮されていない。

【0008】本発明の第1の目的は、シリコン酸化物より比誘電率の高い絶縁膜をゲート絶縁膜とし、高速で動作し、短チャネル特性と駆動電流に優れ、金属元素のシリコン基板中への導入の少ない半導体装置を提供することにある。

【0009】本発明の第2の目的は、シリコン酸化物より比誘電率の高い絶縁膜をゲート絶縁膜とし、高速で動作し、短チャネル特性と駆動電流に優れ、金属元素のシリコン基板中への導入の少ない半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記第1の目的を達成するために、本発明の半導体装置は、半導体基板上にゲート絶縁膜を介してゲート電極が配置された電界効果トランジスタを有し、ゲート絶縁膜を、比誘電率がシリコン酸化膜より高い絶縁膜とし、このゲート絶縁膜のゲート長方向の端部を、ゲート電極のソース側、ドレイン側の端部より内側に位置させ、かつ、このゲート絶縁膜の端部を、ゲート電極と、ソース領域及びドレイン領域とが平面的にオーバーラップする領域に位置させるようにしたものである。

【0011】また、上記第1の目的を達成するために、本発明の半導体装置は、半導体基板上にゲート絶縁膜を介してゲート電極が配置された電界効果トランジスタを有し、ゲート絶縁膜を、比誘電率がシリコン酸化膜より高い絶縁膜とし、かつ、そのゲート長方向の端部を、ゲート電極のソース側、ドレイン側の端部より内側に位置させ、電界効果トランジスタのソース領域及びドレイン領域を、ゲート絶縁膜の下部に延伸しているようにしたものである。

【0012】いずれの半導体装置も、ゲート絶縁膜の端部とは、その厚みが最も厚い部分の端部である。つまり、ゲート絶縁膜が複数層からなり、それぞれの端部の

位置が異なるとき、ゲート電極の端部より最も内側に位置する部分の内側がゲート絶縁膜として最も厚い部分となるので、その部分がゲート絶縁膜の端部となる。また、ゲート絶縁膜の端部が基板に対して垂直でないときも、ゲート電極の端部より最も内側に位置する部分をその端部とする。

【0013】このゲート電極のゲート長方向の端部は、ゲート電極のソース側、ドレイン側の端部よりそれぞれ15nm～25nm内側に位置することが好ましい。このゲート絶縁膜としては、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物、酸窒化物又はシリケート化合物等を用いることが好ましい。ここでシリケート化合物とは、シリコンの酸化物（ $\text{SiO}_2$ ）中に上記金属の酸化物が含有された構造と定義する。また、ゲート絶縁膜の比誘電率は、300程度までが好ましい。300を超えるとゲート絶縁膜の膜厚が厚くなり過ぎるからである。

【0014】ゲート絶縁膜を複数の層とすると、例えば、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物からなる層と、この層の下にこの金属のシリケート化合物からなる層を設けた積層構造とすることができる。

【0015】上記ソース領域及び上記ドレイン領域は、上記絶縁膜に含まれる金属を含まないか、或いは $10^{11}$ 原子/ $\text{cm}^2$ 以下の濃度で含んでいるようにすることが好ましい。ゲート電極は、タングステン、チタン及びモリブデンからなる群から選ばれた少なくとも一種の内から選ばれた金属又はその窒化物若しくは珪化物であることが好ましい。

【0016】また、上記第2の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、シリコン酸化膜より比誘電率が高い絶縁膜を形成し、この絶縁膜上に導電性膜を形成する工程と、導電性膜を加工し、ゲート電極とする工程と、比誘電率が高い絶縁膜を、ゲート電極の下部にある部分を残して除去し、かつ、残された部分の端部が、ゲート電極のソース領域が形成される側の端部及びドレイン領域が形成される側の端部の内側に位置するようにし、この残された部分をゲート絶縁膜とする工程と、少なくともゲート絶縁膜のゲート長方向の側方、かつ、半導体基板上に、ゲート絶縁膜より比誘電率の低い第2の絶縁膜を形成する工程と、第2の絶縁膜を通して、イオン注入法により基板中にドーパントを注入してソース領域及びドレイン領域を形成し、かつ、ソース領域及びドレイン領域をゲート絶縁膜の下部に延伸させる工程を含むようにしたものである。

【0017】また、上記第2の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、比誘電率がシリコン酸化膜より高い第1の絶縁膜を形成

し、第1の絶縁膜上に、比誘電率が第1の絶縁膜より高い第2の絶縁膜を形成し、第2の絶縁膜上に導電性膜を形成する工程と、導電性膜を加工し、ゲート電極とする工程と、第2の絶縁膜を、ゲート電極の下部にある部分を残して除去し、かつ、残された部分の端部を、ゲート電極のソース領域が形成される側の端部及びドレイン領域が形成される側の端部の内側に位置するようにし、この残された部分をゲート絶縁膜とする工程と、第1の絶縁膜を通して、イオン注入法により基板中にドーパントを注入してソース領域及びドレイン領域を形成し、かつ、ソース領域及びドレイン領域をゲート絶縁膜の下部に延伸させる工程とを含むようにしたものである。

【0018】上記の比誘電率が高い絶縁膜は、アモルファス状態で形成し、この比誘電率が高い絶縁膜の除去の一部をドライエッチングにより行なった後、さらにウェットエッチングにより行なうようにすることが好ましい。さらにこの比誘電率が高い絶縁膜を、ウェットエッチングの後に結晶化することが好ましい。また、この比誘電率が高い絶縁膜の除去は、残された部分の端部が、ゲート電極のソース領域側、ドレイン領域側の端部より15nm～25nm内側に位置するように行なうことが好ましい。残された部分は、ゲート絶縁膜となるので、その端部の意味は、上記したゲート絶縁膜の端部と同じである。

【0019】上記ドーパントの注入は、斜めイオン注入法により行なうことができる。ゲート絶縁膜の材質、ゲート電極の材質は、上記の通りである。また、ゲート電極を多結晶シリコンとし、複数のゲート電極が、イオン注入される物質を異なるようにし、その仕事関数が互いに異なるようにすることができる。ゲート絶縁膜やゲート電極の好ましい材料等は、上記と同じである。

【0020】

【発明の実施の形態】〈実施例1〉以下、図1、図2を用いて本発明の実施例を述べる。予めP型、N型のウェル構造等の所望の不純物プロファイルを作りこんだシリコン基板101に、公知の技術により溝埋め込み型の素子分離領域構造102を形成する。この後、シリコン基板表面を洗浄し、さらにはシリコン基板表面の酸化膜を除去した後、シリコン酸化膜よりも比誘電率の高い高誘電率絶縁膜であるチタン酸化物103、ゲート電極104となる金属膜、ゲート加工時のマスクとなるシリコン酸化膜105を連続的に形成し、図1(a)に示した構造とした。チタン酸化物はCVD法により形成した。このとき形成温度等を制御することにより、アモルファス状態で堆積した。またゲート電極となる金属膜は、タングステン膜をスパッタ法で形成した膜を用いた。

【0021】この後、通常のリソグラフィ及びドライエッチング技術を用いて、シリコン酸化膜105及びタングステン膜を加工し、ゲート電極104を形成する。このときドライエッチングの特性により、チタン酸化膜1

03も一部エッチングされ、その上部はゲート電極104のゲート長方向の端部より内側までエッチングされ、図1(b)の構造を得た。このときチタン酸化膜103の上部の端部がゲート電極104の端部より15～25nm程度内側に位置するようにする。つまりゲート絶縁膜としての作用は、ゲート絶縁膜の厚みが最も厚いところが大きく、この部分の端部を上記した位置に置けばよい。

【0022】ここで、さらにチタン酸化物をエッチングするガスに切り替えて、ドライエッチングを行なってもよいが、基板に与える損傷を防ぐためにはウェットエッチングでチタン酸化膜103を除去する方が好ましい。ここでは、フッ酸、硝酸、酢酸の混合液によりチタン酸化膜103をエッチングし、図1(c)に示す構造とした。なお、我々の検討では、金属酸化膜が結晶化している場合、ウェットエッチングレートは極端に遅くなるため、前述のように膜形成時にはアモルファス状態で形成しておき、この図1(c)の構造とした後、熱処理により結晶化させた方が工程上容易である。続いて、CVD法により薄いシリコン酸化膜106を形成した(図1(d))。

【0023】さらにイオン注入法とアニールによりソース・ドレイン領域107を形成する。ここで、イオン注入条件とアニール条件を制御することにより、ソース・ドレイン領域107とチャネル領域の境界が高誘電率絶縁膜であるチタン酸化膜103が存在する領域の下にあるようにすることがデバイス特性を向上させる上で肝要である(図2(a))。

【0024】さらに、比較的ドライエッチング速度が速い層間絶縁膜108をプラズマCVD法により堆積した後、リソグラフィ法を用いてコンタクト領域をホトレジスト109でパターニングした(図2(b))。このホトレジスト109をマスクとしてコンタクトを形成するが、層間絶縁膜108とシリコン酸化膜106のエッチング速度差を用いることにより、自己整合的にコンタクト孔をソース・ドレイン領域107上に形成できる。

【0025】さらに、配線層となる金属膜110を堆積し(図2(c))、パターニングすることにより、MISFET構造を形成した。本構造によるMISFETの特性を評価した結果、良好なデバイス特性を有することを確認した。また、ソース・ドレイン領域107中に含まれる高誘電率絶縁膜を構成する金属、すなわちチタンの濃度は、 $10^{11}$ 原子/cm<sup>2</sup>以下であった。

【0026】なお、本実施例では、高誘電率絶縁膜としてチタン酸化物を用いたが、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物又は酸窒化物を用いても同様の効果が得られた。さらに、ソースガスとして上記の金属(複数の金属でもよい)の有機金属化合物、有機Si化合物、酸素を

用いたCVDにより得られたシリケート化合物を用いても同様の効果が得られた。このシリケート化合物は、金属としてチタンを用いたとき、チタン—Si—酸素からなるシリケート化合物である。

【0027】また、ゲート電極は、タングステンを用いたが、チタン、モリブデン又はこれらの窒化物若しくはケイ化物を用いても同様の効果が得られた。

【0028】この半導体装置で、比誘電率の高い絶縁膜は、チャネル部分及びチャネル部に連続した、ソース、ドレイン領域とゲート電極がオーバーラップする領域上にあれば、チャネル部を流れる誘起電荷量を増加させることができる。一方、ゲートエッジとソース、ドレイン間には高い電界が発生するので、この部分にはシリコン酸化膜等の比較的比誘電率の低い絶縁膜を配置する構造としたので、フリンジ容量低減に有効である。

【0029】〈実施例2〉次に、図3、図4を用いて本発明の第2の実施例を述べる。実施例1と同様に、予め所望の不純物プロファイルを作りこんだシリコン基板201に、溝埋め込み型の素子分離領域構造202を形成する。この後、シリコン基板表面を洗浄し、さらにはシリコン基板表面の酸化膜を除去した後、シリコン酸化膜よりも比誘電率の高い高誘電率絶縁膜を形成する。ここでは、プラズマCVD法を用いて上記高誘電率絶縁膜を形成した。ここで、高誘電率材料としてはジルコニウム酸化物を用いた。この場合に形成される絶縁膜は、基板には比較的誘電率の低い(〜10程度)ジルコニウム—シリコン—酸素からなる、いわゆるシリケート膜203が形成され、その上部にジルコニウム酸化物204が形成され、積層構造の絶縁膜となる。この上に、ゲート電極205となるタングステン膜、ゲート加工時のマスクとなるシリコン酸化膜206を連続的に形成し、図3(a)に示す構造とした。

【0030】この後、通常のリソグラフィ及びドライエッチング技術を用いて、シリコン酸化膜206及びタングステン膜を加工し、ゲート電極205を形成する。さらにジルコニウム酸化物204をエッチングするガスに切り替えて、ドライエッチングを行なうことにより、シリケート膜203が選択的に残り、図3(b)の構造を得る。ここで、シリケート膜203の物性はシリコン酸化物とほぼ同等であり、ドライエッチングで、ジルコニウム酸化膜とエッチング速度差を大きくすることができ、図3(b)の構造を得るのに都合がよい。また、ジルコニウム酸化物204は、その端部がゲート電極205のゲート長方向の端部より15〜25nm程度内側に位置するようにした。

【0031】続いて、イオン注入法とアニールによりソース・ドレイン領域207を形成する。ここで、イオン注入条件とアニール条件を制御することにより、ソース・ドレイン領域207とチャネル領域の境界がジルコニウム酸化物204が存在する領域の下にあるようにする

ことがデバイス特性を向上させる上で肝要である(図3(c))。

【0032】なお、上記シリケート膜203中のジルコニウム濃度は数%であり、基板中へノックオンされたジルコニウム原子の量は $10^{11}$ 原子/cm<sup>2</sup>程度であって、酸化ジルコニウム膜を通してイオン注入を行った場合の1割以下へ低減できた。そのため、ここではあえて実施例1で用いたイオン注入用のスルー膜を形成していない。

【0033】さらに、比較的ドライエッチング速度が速い層間絶縁膜208をプラズマCVD法により堆積した後、リソグラフィ法を用いてコンタクト領域をホトレジスト209でパターニングした(図4(a))。このホトレジスト209をマスクとしてコンタクトを形成し、配線層となる金属膜210を堆積し(図4(b))、パターニングすることにより、MISFET構造を形成した。

【0034】ここで、チャネル方向のゲート絶縁膜の実効的な膜厚(シリコン酸化膜の比誘電率に換算した絶縁膜厚)と不純物濃度との関係を図5に示す。このように実効的な膜厚が薄いところがチャネル部に接続したソース・ドレイン領域上にあることにより、電荷の誘起が十分に行なえ、チャネル電流を増加させることができる。一方、上記以外の領域の実効的な膜厚を厚くすることにより、フリンジ容量を増大させることがなく、結果的にデバイスの動作速度を向上できる。

【0035】本構造によるMISFETの特性を評価した結果、良好なデバイス特性を有することを確認した。

【0036】なお、本実施例では、高誘電率絶縁膜としてジルコニウム酸化物を用いたが、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物又は酸窒化物を用いても同様の効果が得られた。

【0037】また、ゲート電極は、タングステンを用いたが、チタン、モリブデン又はこれらの窒化物若しくはケイ化物を用いても同様の効果が得られた。

【0038】〈実施例3〉さらに、図6、図7を用いて本発明の第3の実施例を述べる。本実施例では複数のMISFETを作成しており、P型チャネル、N型チャネルのMISFETを両方作成している。そのため、ゲート電極材料には、多結晶シリコンを用いており、MISFETによりP又はNをドーピングした多結晶シリコンをゲート電極とすることにより、ゲート電極の仕事関数を変えている。

【0039】実施例1と同様に、予め所望の不純物プロファイルを作りこんだシリコン基板301に、溝埋め込み型の素子分離領域構造302を形成する。この後、シリコン基板表面を洗浄し、さらにはシリコン基板表面の酸化膜を除去した後、シリコン酸化膜よりも比誘電率の



高い高誘電率絶縁膜を形成する。ここでは、プラズマCVD法を用いて高誘電率絶縁膜を形成した。ここで、高誘電率材料としてはジルコニウム酸化物を用いた。この場合に形成される絶縁膜は、基板には比較的誘電率の低い(〜10程度)ジルコニウム-シリコン-酸素系からなる、いわゆるシリケート膜303が形成され、その上部にジルコニウム酸化物304が形成され、積層構造の絶縁膜となる。この上に、上述したように、ゲート電極305となる多結晶シリコン膜を形成し、P又はBをイオン注入法により導入する。適当なアニールを施した後、ゲート加工時のマスクとなるシリコン酸化膜306を連続的に形成し、図6(a)に示した構造とした。

【0040】この後、通常のリソグラフィ及びドライエッチング技術を用いて、シリコン酸化膜306及びP又はBをドーピングした多結晶シリコン膜を加工し、ゲート電極305を形成する。さらにジルコニウム酸化物304をエッチングするガスに切り替えて、ドライエッチングを行なうことにより、シリケート膜303が選択的に残り、第2の実施例で示した図3(b)と同様の構造を得る。続いて、フッ酸によるウエットエッチング技術を用いて、ゲート電極下部の一部を残して、シリケート膜303を除去することにより、図6(b)の構造を得る。ここで、シリケート膜303は、その端部がゲート電極305のゲート長方向の端部より15〜25nm程度内側に位置するようにした。

【0041】この後、イオン注入用のスルー膜としてシリコン酸化膜307をCVD法により形成する。この様子を図6(c)に示す。ここでは、短チャネル特性を向上させるために、ソース・ドレインとなる拡散層を浅くするため、イオン注入の注入エネルギーも2KeVと小さくする。そのため、上記スルー膜の膜厚も5nmと薄くしている。従って、図6(c)に示すように、ゲート電極側面はスルー膜を形成した後であっても、ゲート電極下部に10〜20nm程度の窪みを持つ構造となる。

【0042】ここで、浅い拡散層を形成し、なおかつ、ソース・ドレイン領域と実効的に膜厚が極めて薄い領域をオーバーラップさせるため、本実施例においては、斜めイオン注入技術を用いている。ここでは、注入角度を30度として、ゲート下部の実効的に膜厚が薄い領域までソース・ドレイン領域が達するようにした。

【0043】上記した斜めイオン注入法とアニールにより図7(a)に示すようにソース・ドレイン領域を形成した。このように、ソース・ドレイン領域とゲート絶縁膜が実効的に極めて薄い部分とを都合よくオーバーラップさせるためには、上述したゲート側壁部の窪みの制御も有効な手段である。また、ソース・ドレイン領域中に含まれている高誘電率絶縁膜を構成する金属、すなわちジルコニウムの濃度は、 $10^{11}$ 原子/cm<sup>2</sup>以下であった。

【0044】さらに、比較的ドライエッチング速度が速い層間絶縁膜308をプラズマCVD法により堆積したのち、リソグラフィ法を用いてコンタクト領域をホトレジスト309を持ってパターニングした(図7

(b))。このホトレジスト309をマスクとしてコンタクトを形成し、配線層となる金属膜310を堆積し(図7(c))、パターニングすることにより、MISFET構造を形成した。なお、ここでは第1の実施例と同様に、層間絶縁膜308とスルー膜であるシリコン酸化膜307のドライエッチング速度差を利用して、自己整合的にコンタクト孔を形成している。

【0045】本構造によるMISFETの特性を評価した結果、短チャネル特性と駆動電流に優れる、良好なデバイス特性を有することを確認した。

【0046】なお、本実施例では、高誘電率絶縁膜としてジルコニウム酸化物を用いたが、チタン、タンタル、ハフニウム、ジルコニウム、アルミニウム、ランタン及びストロンチウムからなる群から選ばれた少なくとも一種の金属の酸化物又は酸窒化物を用いても同様の効果が得られた。

【0047】また、ゲート電極は、タングステンを用いたが、チタン、モリブデン又はこれらの窒化物若しくはケイ化物を用いても同様の効果が得られた。

【0048】

【発明の効果】本発明によれば、MISFETデバイス的高速化が可能である。また、金属元素のシリコン基板中への汚染とフリンジ容量増加が回避できる。

【図面の簡単な説明】

【図1】本発明の実施例1の半導体装置の製造工程図。

【図2】本発明の実施例1の半導体装置の製造工程図。

【図3】本発明の実施例2の半導体装置の製造工程図。

【図4】本発明の実施例2の半導体装置の製造工程図。

【図5】本発明を説明するためのチャネル方向のゲート絶縁膜の実効的な膜厚と不純物濃度の関係を示す図。

【図6】本発明の実施例3の半導体装置の製造工程図。

【図7】本発明の実施例3の半導体装置の製造工程図。

【符号の説明】

101、201、301…シリコン基板

102、202、302…素子分離領域構造

103…チタン酸化膜

104、205、305…ゲート電極

105、106、206、306、307…シリコン酸化膜

107、207…ソース・ドレイン領域

108、208、308…層間絶縁膜

109、209、309…ホトレジスト

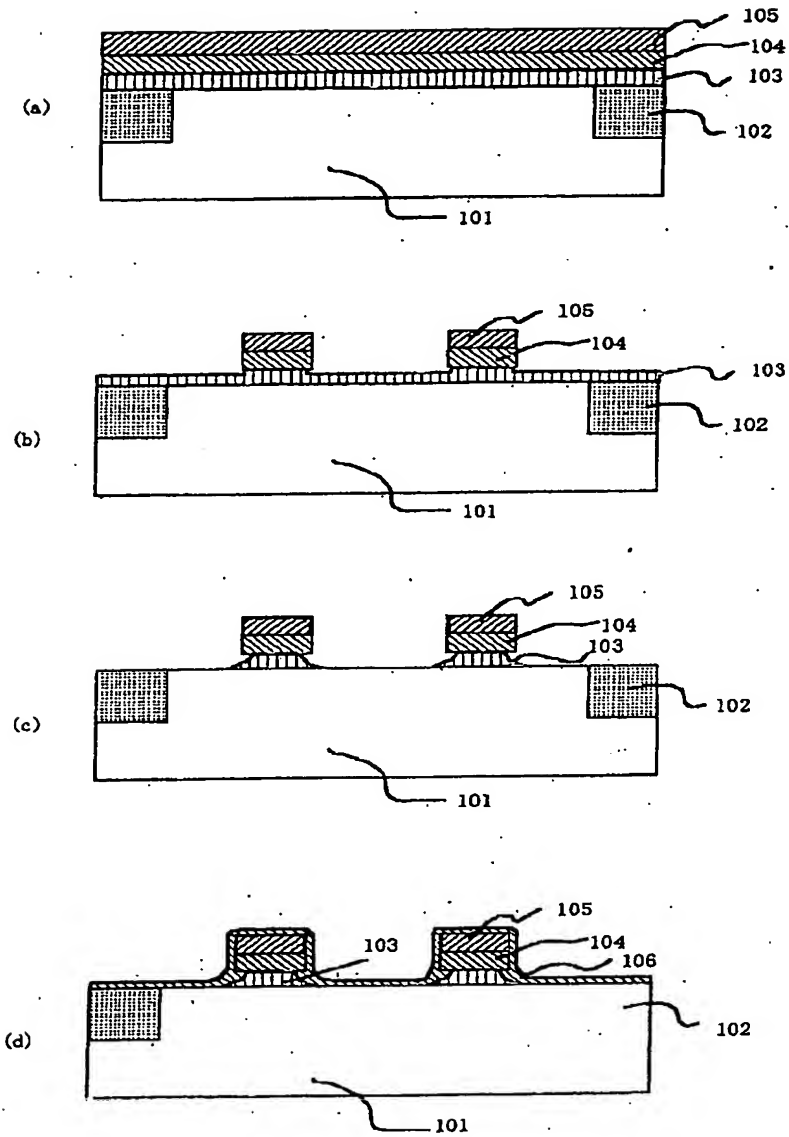
110、210、310…金属膜

203、303…シリケート膜

204、304…ジルコニウム酸化物膜

【図1】

図1



103…チタン酸化膜

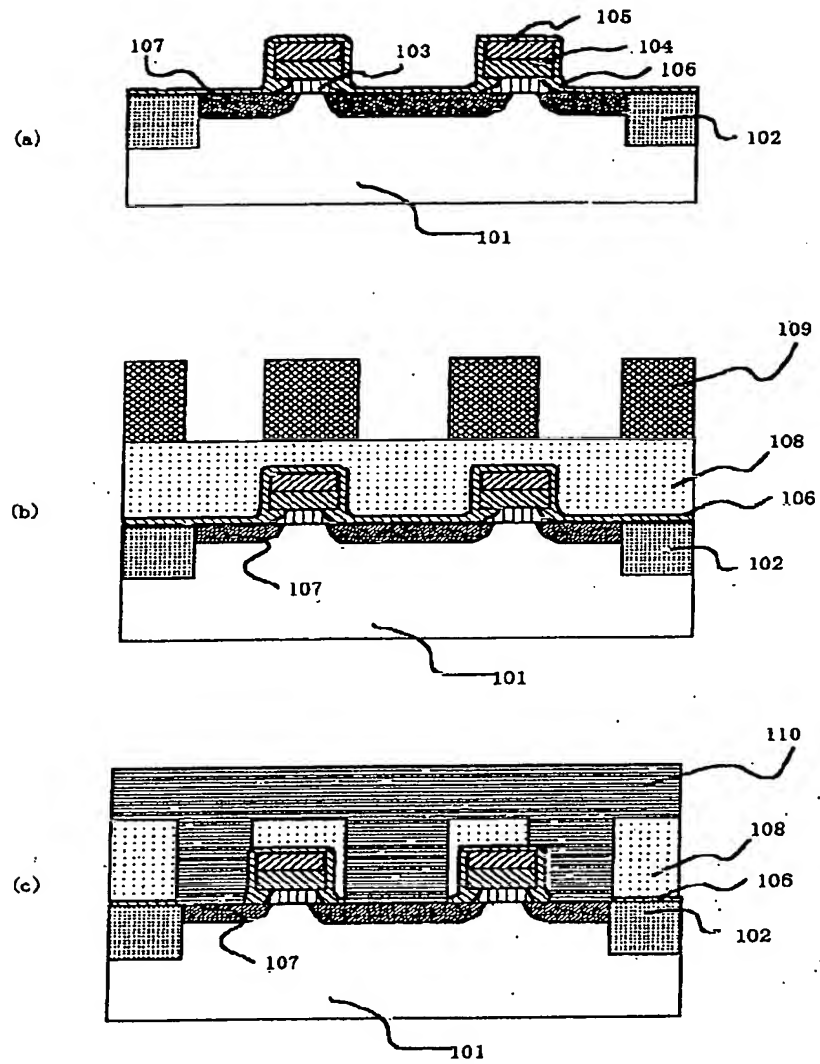
104…ゲート電極

105、106…シリコン酸化膜



【図2】

図2



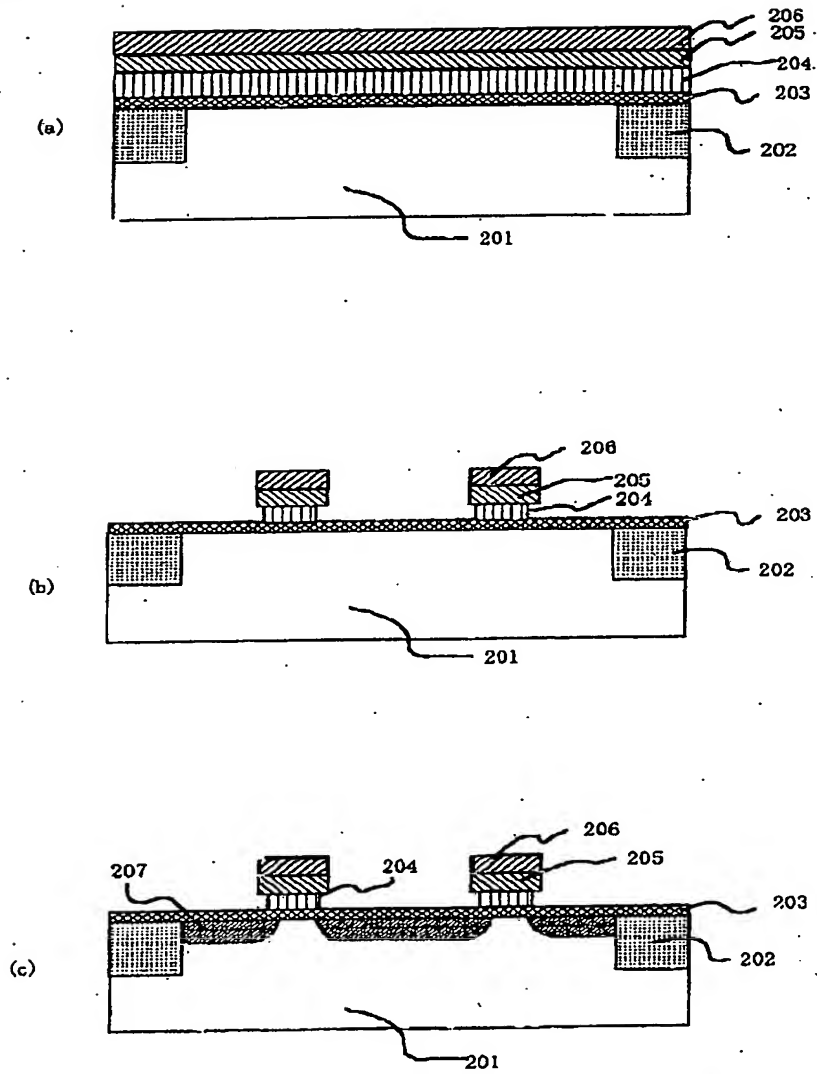
107…ソース・ドレイン領域

108…層間絶縁膜

109…ホトレジスト

【図3】

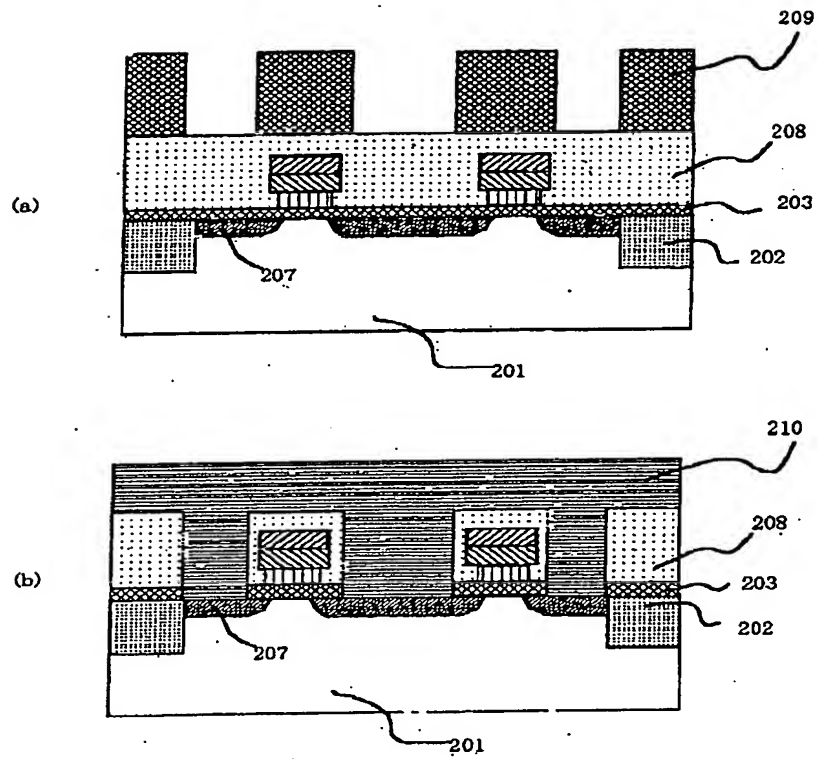
図3



203…シリケート膜 204…ジルコニウム酸化膜  
205…ゲート電極 206…シリコン酸化膜  
207…ソース・ドレイン領域

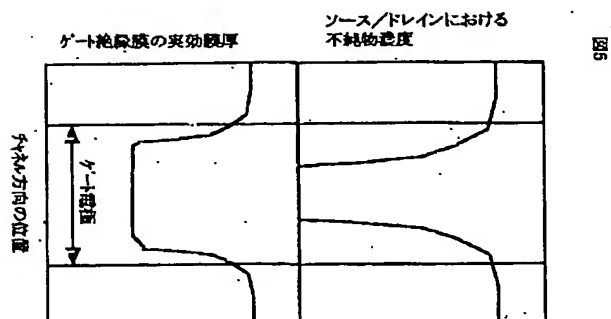
【図4】

図4



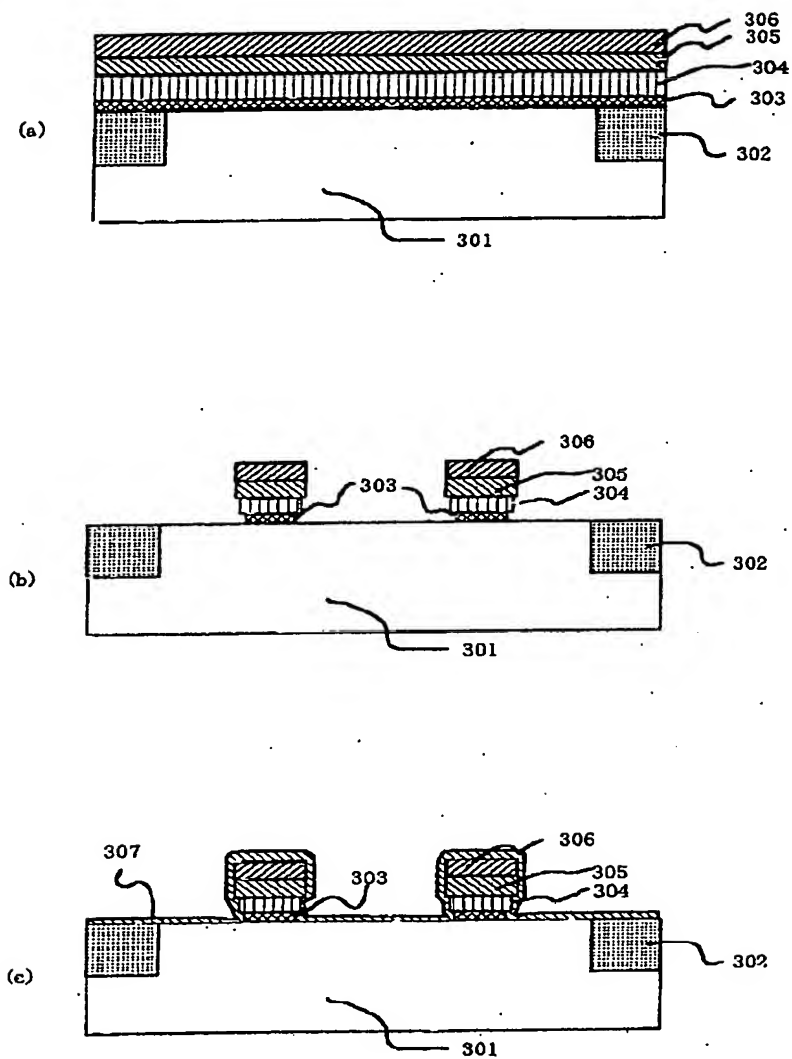
208…層間絶縁膜  
209…ホトレジスト  
210…金属膜

【図5】



【図6】

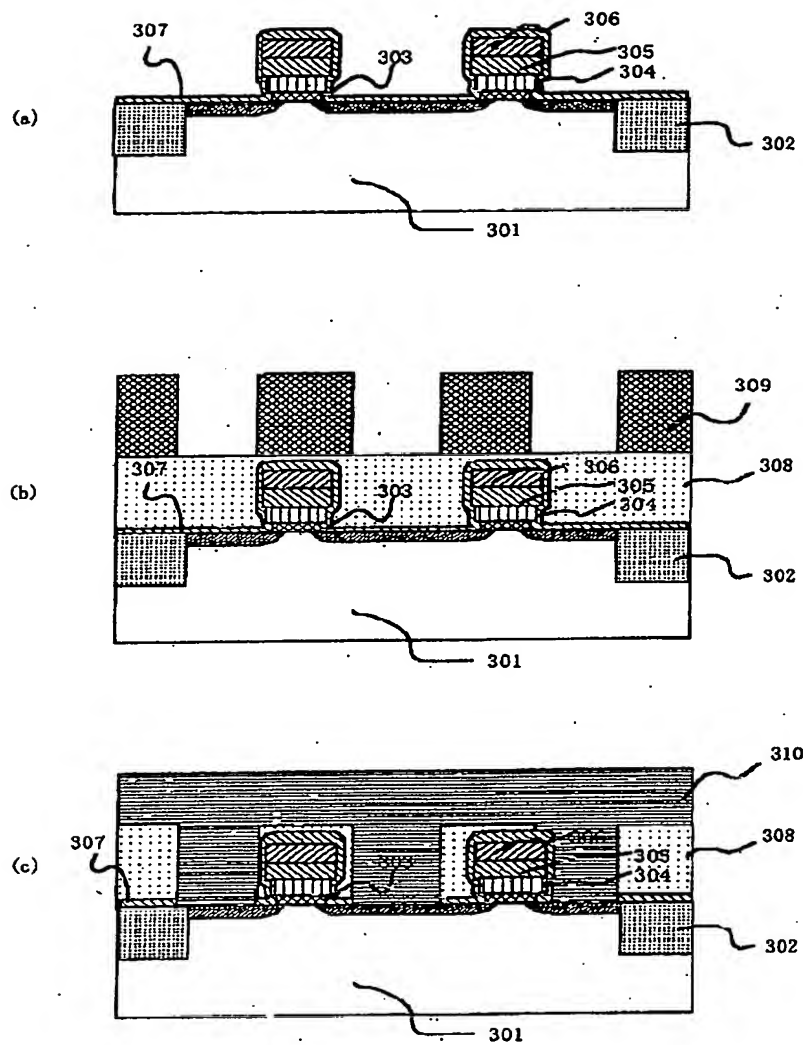
図6



303…シリケート膜  
304…ジルコニウム酸化膜  
305…ゲート電極  
306、307…シリコン酸化膜

【図7】

図7



308…層間絶縁膜  
309…ホトレジスト  
310…金属膜

フロントページの続き

(72)発明者 峰 利之  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 後藤 康  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内



Fターム(参考) 5F040 DA01 DA02 DA06 DA17 DA19  
DB01 DB03 EC04 EC07 EC08  
EC09 ED01 ED03 ED09 EF01  
EK05 FB04 FC10 FC13 FC19  
FC22 FC23  
5F048 AC01 BA01 BB06 BB07 BB09  
BB11 BG01 BG13

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**